

PAT-NO: JP362272619A
DOCUMENT-IDENTIFIER: JP 62272619 A
TITLE: DELAY CIRCUIT
PUBN-DATE: November 26, 1987

INVENTOR-INFORMATION:

NAME
NAKAJIMA, MITSUO
MATSUMOTO, SHUZO
KONDO, KAZUO
HORI, KAZUAKI
TSUKASAKI, HISANOBU

ASSIGNEE-INFORMATION:

NAME	COUNTRY
HITACHI LTD	N/A

APPL-NO: JP61114529

APPL-DATE: May 21, 1986

INT-CL (IPC): H03K005/13, G11B020/02 , H03K005/00 , H04N005/95

US-CL-CURRENT: 327/277

ABSTRACT:

PURPOSE: To form a delay circuit in which the load on a control power source to control a delay time is reduced, and which is easy to be controlled, by setting the power source voltage of a CMOS inverter at a constant voltage, and changing the potential of the well of a MOS transistor constituting the inverter, or a semiconductor substrate, or both of them.

CONSTITUTION: An FM-modulated video signal inputted from a terminal 16, is delayed at a delay line 11, and after that, the horizontal synchronizing signal of the signal is detected at a synchronizing separator circuit 13, and a phase comparison between a reference signal is performed at a phase comparator 14, and a signal corresponding to the dislocation of a detected time base is added on a control terminal 15. In the delay line 11, the inputs/outputs of plural number of CMOS inverters are connected in series with each other, and the control terminal 15 is connected to the back gate of a P type MOS transistor 21. At the time of changing the output voltage of the phase comparator 14 connected to the other end of the terminal 15, the potential at the back gate of the P-type MOS transistor 21 changes, and it is resulted as the change of a threshold voltage, and the ON-state resistance of the MOS transistor 21 changes. As a result, the delay time can be controlled.

COPYRIGHT: (C)1987, JPO&Japio

⑫ 公開特許公報(A)

昭62-272619

⑮ Int.Cl.⁴

識別記号

庁内整理番号

⑬ 公開 昭和62年(1987)11月26日

H 03 K 5/13

7259-5J

G 11 B 20/02

7736-5D

H 03 K 5/00

7259-5J ※審査請求 未請求 発明の数 1 (全6頁)

⑭ 発明の名称 遅延回路

⑯ 特 願 昭61-114529

⑰ 出 願 昭61(1986)5月21日

⑱ 発 明 者 中 嶋 満 雄 横浜市戸塚区吉田町292番地 株式会社日立製作所家電研究所内

⑲ 発 明 者 松 本 脩 三 横浜市戸塚区吉田町292番地 株式会社日立製作所家電研究所内

⑳ 発 明 者 近 藤 和 夫 横浜市戸塚区吉田町292番地 株式会社日立製作所家電研究所内

㉑ 発 明 者 堀 和 明 横浜市戸塚区吉田町292番地 株式会社日立製作所家電研究所内

㉒ 出 願 人 株式会社日立製作所 東京都千代田区神田駿河台4丁目6番地

㉓ 代 理 人 弁理士 小川 勝男 外1名

最終頁に続く

明 細 書

1. 発明の名称

遅延回路

2. 特許請求の範囲

1. 第1導電型半導体基板と、その表面に成る間隔をおいて設けられた第1の第2導電型半導体層と第2の第2導電型半導体層と、第1及び第2の第2導電型半導体層の間の第1導電型半導体基板上に絶縁膜を介して設けられた第1のゲート電極と、第1導電型半導体基板表面に設けられた第3の第2導電型半導体層と、第3の第2導電型半導体層の表面に成る間隔をおいて設けられた第1の第1導電型半導体層と第2の第1導電型半導体層と、第1及び第2の第1導電型半導体層の間の第3の第2導電型半導体層上に絶縁膜を介して設けられた第2のゲート電極を有し、第1導電型半導体基板、第1、第2の第2導電型半導体層と第1のゲート電極で構成される第2導電型MOSトランジスタと、第3の第2導電型半導体層、第1、第2の第1導電

型半導体層と第2のゲート電極で構成される第1導電型MOSトランジスタでCMOSインバータが構成され、上記CMOSインバータを複数個有し、それらの入出力が複数個直列に接続されて構成された遅延線と、遅延線の出力に接続された時間軸の変動を検出する時間軸誤差検出回路を少なくとも具備し、該時間軸誤差検出回路の出力信号がCMOSインバータを構成する第1導電型半導体基板または第3の第2導電型半導体層またはその両方に印加されることを特徴とする遅延回路。

3. 発明の詳細な説明

(産業上の利用分野)

本発明は、ビデオテープレコーダ(VTR)、ビデオディスクプレイヤー等において、再生信号に生じる時間軸変動を補正するのに好適な可変遅延回路に関する。

〔従来の技術〕

ビデオディスクプレイヤーから再生された再生信号はディスクの偏心等の影響により、また、VTR

から再生された再生信号は、回転磁気ヘッドの回転むらの影響により、その時間軸に伸縮があり、正しい画像に再生する為には時間軸変動の補正を行なう必要がある。従来、電荷結合装置（以下CCDと記す）を用いて時間軸の補正を行なう回路の構成が公開実用新案公報56-60216号や公開特許公報56-207422号等に示されている。（発明が解決しようとする問題点）

公開実用新案公報昭56-60216号に示される従来技術はCCDのクロック周波数を変化させて、ビデオ信号の遅延時間の制御を行なっている。しかしCCDのクロック周波数を変化すると、通常出力ビデオ信号に直流電圧の変動や交流振幅の変動が発生し、画面上輝度フリッカが検出される等の問題点がある。CCDを用いずにビデオ信号で変調されたFM信号帯で時間軸の補正を行なう手段として、複数のインバータで構成された遅延回路を用いるものがある。この場合、公開特許公報昭57-207422号に示される様にCMOSインバータの電源電圧を変化させ、遅延時間が制御さ

れる。しかし、この回路では、同時に多数のインバータを駆動する為に、電源から流れる電流が大きく、それ故制御が困難である。また、大電流を流すことのできるバッファ回路を用いなければならず、駆動能力の大きい素子を外付け個別部品で構成する必要がある。また、その大きな制御電流による他素子への妨害が発生する可能性もある。

本発明の目的は、遅延時間を制御する制御電源の負荷が軽く、制御が容易な遅延回路を提供するところにある。

（問題点を解決するための手段）

本発明では、CMOSインバータの電源電圧は、一定電圧とし、インバータを構成するMOSトランジスタのウェル又は半導体基板、もしくは両者の電位を変化することにより遅延時間の制御を行なう。

（作用）

CMOSインバータの遅延時間は、MOSトランジスタのオン抵抗 R_{on} と、MOSトランジスタのゲートに寄生する容量及び出力部拡散層の寄生容

. 3 .

量の和の容量 C との積で決まる時定数 τ に比例する。オン抵抗 R_{on} は(1)式で表わすことができる。

$$R_{on} = 1 / \left(\frac{W}{L} B_0 (V_{gs} - V_{th}) \right) \quad \dots (1)$$

V_{gs} : MOSトランジスタのゲート、ソース間電圧、 V_{th} : スレッショルド電圧、 W : ゲート幅、 L : ゲート長、 B_0 : プロセスで決まる定数、(1)式から明らかである様にMOSトランジスタのオン抵抗 R_{on} は電圧 V_{gs} 又は V_{th} が変化することにより変化する。電圧 V_{th} はMOSトランジスタのウェル又は基板すなわちバックゲートの電位の変化の平方根に比例して変化する。バックゲートに流れる電流は、CMOSインバータの電源の電流に比べかなり小さな値である。その為バックゲートの電位を変化させることにより遅延時間を変化させる遅延時間の制御は、電源電圧を変化させて行なう制御に比べ、大電流を流す為の駆動能力の大きいバッファ回路が不要となり、遅延時間の制御が容易になる。

（発明の実施例）

第1図に本発明の一実施例を示し説明する。11

. 4 .

は複数のインバータを直列に接続して構成した遅延線、12はFM復調器、13は同期分離回路、14は位相比較器、15は遅延線11の遅延時間の制御端子、16はビデオディスクプレイヤーの再生信号等、時間軸の変動を含んだFM変調されたビデオ信号の入力端子、17は出力端子である。端子16から入力されたFM変調されたビデオ信号は遅延線11で遅延された後、同期分離回路13でその水平同期信号が検出され、位相比較器14において基準信号と位相比較が行なわれ、検出された時間軸のずれに対応した信号が制御端子15に加えられる。時間軸の補正動作については当業者によく知られているため、省略する。次に遅延線11の詳細回路について説明する。21はP型MOSトランジスタ、22はN型MOSトランジスタ、23は電源である。MOSトランジスタ21、22はCMOSインバータを構成する。遅延線11は複数のCMOSインバータの入出力が互に直列に接続され、構成されている。制御端子15はP型MOSトランジスタ21のバックゲートに接続されている。端子15の他端に接続されて

. 5 .

. 6 .

いる位相比較器14の出力電圧が変化すると、P型MOSトランジスタ21のバックゲート電位が変化し、スレッショルド電圧(V_{th})の変化となつて現れ、MOSトランジスタ21のオン抵抗 R_{on} が変わる。その結果遅延時間が制御される。第2図に他の実施例を示す。第1図と同一符号のものは同一機能を有する。ブロック図全体の動作は第1図と同様である。制御端子15はN型MOSトランジスタ22のバックゲートに接続され、第1図と同様にN型MOSトランジスタ22の電圧 V_{th} を変え遅延時間の制御が行なわれる。第1図及び第2図では、CMOSインバータを構成する2つのMOSトランジスタの一方のMOSトランジスタのバックゲートで遅延時間の制御を行なっているが両方を同時に制御することも可能である。

第3図には第1図に示したCMOSインバータ1段の半導体チップの縦横断面図の一例を示す。31はP型半導体基板、32はN型ウェル、33、34はP型MOSトランジスタの拡散層、35、36はN型MOSトランジスタの拡散層、37はゲート電極、

. 7 .

ウェル32の電位は電源電位に固定され、基板31に接続した端子15に加える電位を変化させ制御が行なわれる。この構成に於いて拡散層36と基板31の間でPN接合となつている為、制御端子15の電位は拡散層36の電位より低い範囲で変化させる。この回路構成に於いても通常の回路動作に於ける電流は基板31には流れず、制御端子15から流れる電流は極めて小さな値となる。

以上はP型半導体基板で構成された例であるが、N型半導体基板を用いても構成できる。第6図にその一例を示し、説明する。61はN型半導体基板、62はP型ウェル、63、64はP型MOSトランジスタの拡散層、65、66はN型MOSトランジスタの拡散層、67はゲート電極、68は基板61の電位を決める電源であり、通常のロジック回路の電源の電圧と同一である。第5図と同一符号のものは同一機能を有する。端子15の電圧を変化し、N型MOSトランジスタの電圧 V_{th} を変化させて遅延時間の制御が行なわれる。この時の制御端子15に加える電圧はウェル62と拡散層66のPN接合に印加され

. 9 .

38はインバータの入力端子、39は出力端子である。また第1図と同一符号のものは同一機能を有する。基板31は接地電位とし、ウェル32の電位を変えてP型MOSトランジスタの電圧 V_{th} を変化させることにより遅延時間の制御が行なわれる。第4図に第3図で構成されたCMOSインバータの遅延特性の概略を示す。横軸は制御電圧 V_c 、縦軸は遅延時間 τ である。第3図に於いてウェル32と拡散層33はPN接合となつているため、端子15の制御電圧はインバータの電源23よりも高い電圧の範囲で変化させることにより遅延時間の制御が行なわれる。

制御端子15に接続された位相比較器14から、制御端子15に流れる電流の値は電源23の電流値に比べ極めて小さい電流値である。第5図には第2図で示したN型MOSトランジスタのバックゲートに制御電源を加えて遅延制御を行なう構成のCMOSインバータの半導体基板の縦横断面図の一例を示す。第2図及び第3図と同一符号のものは同一機能を有する。

. 8 .

る為、拡散層66の電位よりも低い範囲で制御が行なわれる。第5図及び第6図においてN型拡散層36、66は接地電位であるため、制御電圧は負電位となるが、電源23、68及びN型拡散層36、66の電位を高い電位に設定すれば、制御電位は正電位で変化させることができ、他の回路ブロック(図示はしてない)との接続が容易にできる。

第7図には基板61を変化させて遅延時間を制御する構成図を示す。第3図と同一符号のものは同一機能を有する。この構成は第3図で説明したものと同様P型MOSトランジスタの電圧 V_{th} を変えて遅延時間の制御を行なう。この時の制御端子15に加える制御電圧は拡散層63と基板61のPN接合により、拡散層63より高い範囲で制御が行なわれる。これらの例に於いても同様に制御が容易になる。

第8図にはインバータをディプレッション型のMOSトランジスタで構成した場合の例を示し説明する。構成は第1図と同じくP型半導体基板を用いてP型MOSトランジスタの電圧 V_{th} を変化

. 10 .

して遅延時間の制御を行なうものである。第4図と同一符号のものは同一機能を有する。P型MOSトランジスタのチャンネル部分にP型の埋め込みチャンネル81を、N型MOSトランジスタのチャンネル部分にN型の埋め込みチャンネル82を設け、それぞれのMOSトランジスタをデプレッション型にする。第3図及び第7図に於いて遅延の制御電圧はインバータの電源電圧より高い範囲で変化することを説明したが、可変範囲を広げる為にインバータの電源電圧はできるだけ低くすることが必要である。インバータの動作する電源電圧の下限はMOSトランジスタの電圧 V_{th} で決る。従つてMOSトランジスタをデプレッション型とし、入力電圧が極めて小さくても、MOSトランジスタがオンしインバータとしての動作が行なわれる様にしておけば、インバータの電源電圧は通常の電圧 V_{th} の時の下限よりもかなり小さな値とすることができる。これにより遅延時間の制御範囲を広くとることができる。またそれだけでなく消費電力も少なくできる。インバータの消費電力 P は

(2)式で表わされる。

$$f CV^2 + f \cdot \frac{V}{R_{on}} + V \cdot I_{dc} \quad (2)$$

f : 動作周波数, C : 寄生容量, V : 電源電圧,
 R_{on} : MOSトランジスタのオン抵抗, I_{dc} : 直流電流

(2)式の第1項は、寄生容量を駆動するために消費される電力、第2項は、インバータが反転する過渡時に流れる貫通電流、第3項は、MOSトランジスタのスレッシュホールド電圧に依存して流れる漏れ電流による電力である。(2)式で第1項は電源電圧の2乗に比例する。例えば通常の V_{th} の時に電源電圧を3.5Vとして使用していたものが、 V_{th} を下げインバータの電源電圧を1Vにできれば(2)式の第1項は約10分の1になる。また第2項は電源電圧に比例して電力は減る。MOSトランジスタをデプレッション型にしてインバータに常に電流が流れ電力を消費してしまい(2)式の3項が増加する逆の効果を考慮しても消費電力は数分の1にすることができる。デプレッション型のMOSトランジスタを用いることにより消費電力を低減でき

. 11 .

. 12 .

制御範囲が広げられるのは、この例だけでなくP型基板で基板電圧を変化させた場合、N型基板を用いた場合にも同様に現れるのは言うまでもない。またこの時も制御電源より流れる電流はきわめて少なく制御が容易であるのも同様である。

〔発明の効果〕

本発明によればインバータの遅延時間をバックゲートの電位により制御できるので、遅延時間の制御回路の構成が容易になる。

4. 図面の簡単な説明

第1図は本発明の一実施例の遅延回路の回路図、第2図は本発明の他の実施例の回路図、第3図、第5図、第6図、第7図、第8図は本発明におけるCMOSインバータの半導体基板の断面図、第4図はインバータの遅延特性図である。

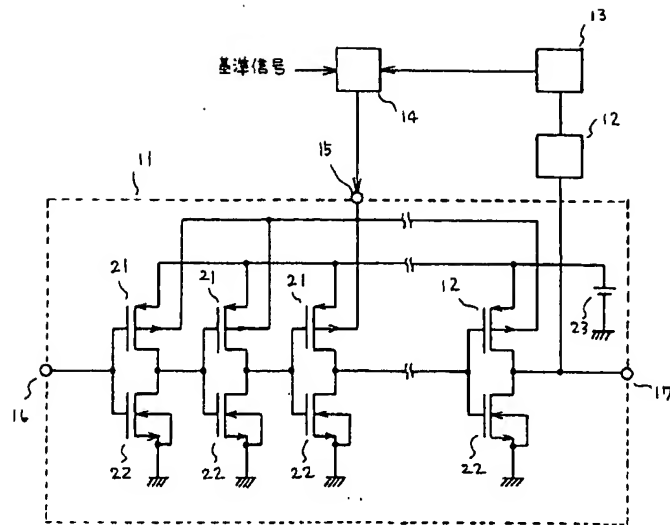
11…遅延線 12…FM復調器 13…同期分離回路
 14…位相比較器 15…制御端子 31…P型半導体基板
 32…N型ウェル 61…N型半導体基板 62…P型ウェル

代理人 井理士 小川 勝 男

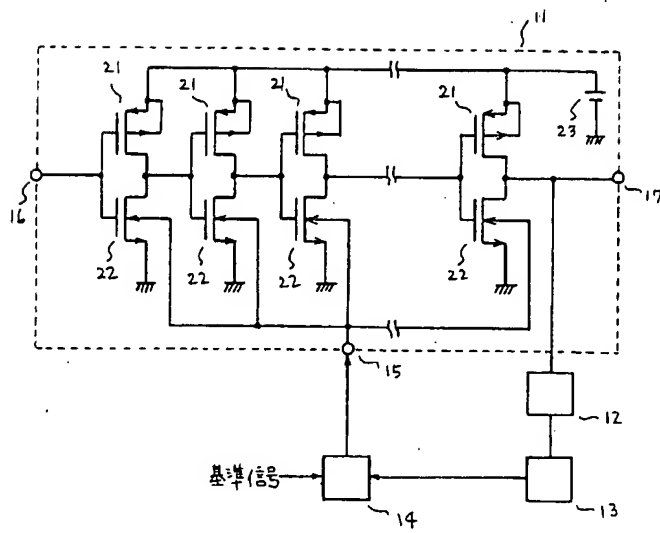
. 13 .

—104—

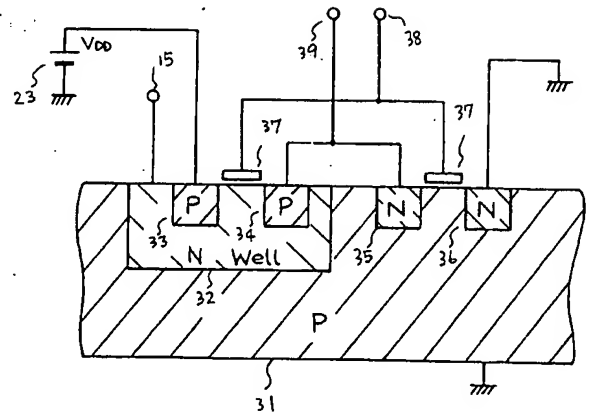
第 1 図



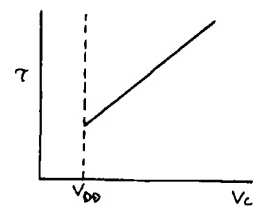
第 2 図



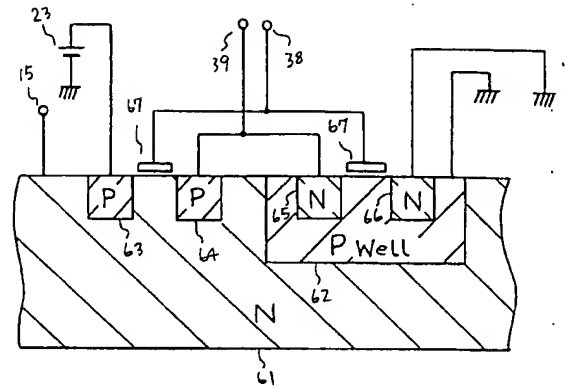
第 3 図



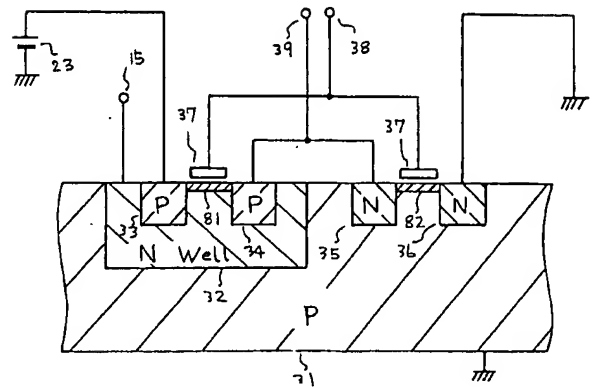
第 4 図



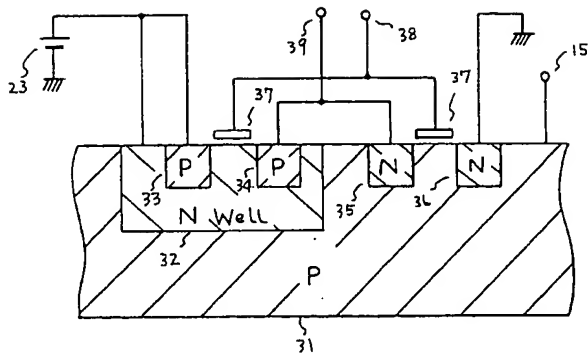
第 7 図



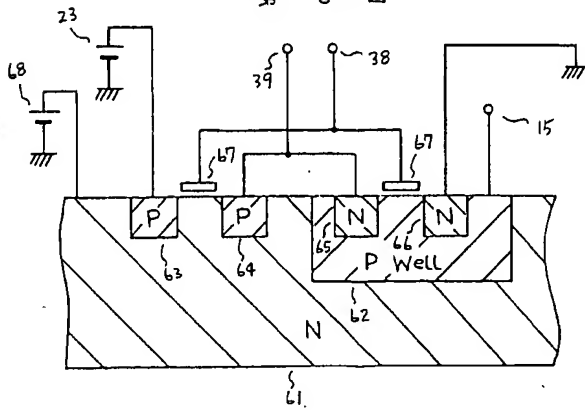
第 8 図



第 5 図



第 6 図



第1頁の続き

⑤Int.Cl.⁴

H 04 N 5/95

識別記号

庁内整理番号

B-7423-5C

⑦発明者 塚崎 久暢

横浜市戸塚区吉田町292番地

株式会社日立製作所家電研究所内